

Rec'd PCT/PTO 11 APR 2005

10/530883 #2
PCT/JP 2004/011936

23. 8. 2004

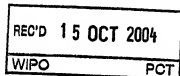
日 本 国 特 許 庁
JAPAN PATENT OFFICE

別紙添付の書類に記載されている事項は下記の出願書類に記載されている事項と同一であることを証明する。
This is to certify that the annexed is a true copy of the following application as filed with this Office.

出 願 年 月 日 2 0 0 3 年 8 月 2 2 日
Date of Application:

出 願 番 号 特 願 2 0 0 3 - 2 9 9 2 1 9
Application Number:
[ST. 10/C]: [J P 2 0 0 3 - 2 9 9 2 1 9]

出 願 人 関西電力株式会社
Applicant(s):

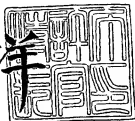


**PRIORITY
DOCUMENT**
SUBMITTED OR TRANSMITTED IN
COMPLIANCE WITH RULE 17.1(a) OR (b)

2 0 0 4 年 9 月 3 0 日

特許庁長官
Commissioner,
Japan Patent Office

小 川 洋



BEST AVAILABLE COPY

出証番号 出証特 2 0 0 4 - 3 0 8 7 4 8 6

【書類名】	特許願
【整理番号】	FKSD0804S
【特記事項】	特許法第30条第1項の規定の適用を受けようとする特許出願
【提出日】	平成15年 8月22日
【あて先】	特許庁長官殿
【国際特許分類】	H01L 21/312
【発明者】	
【住所又は居所】	大阪市北区中之島3丁目3番22号 関西電力株式会社内
【氏名】	菅原 良孝
【特許出願人】	
【識別番号】	000156938
【住所又は居所】	大阪市北区中之島3丁目3番22号
【氏名又は名称】	関西電力株式会社
【代理人】	
【識別番号】	100062926
【弁理士】	
【氏名又は名称】	東島 隆治
【選任した代理人】	
【識別番号】	100113479
【弁理士】	
【氏名又は名称】	大平 覺
【手数料の表示】	
【予納台帳番号】	031691
【納付金額】	21,000円
【提出物件の目録】	
【物件名】	特許請求の範囲 1
【物件名】	明細書 1
【物件名】	図面 1
【物件名】	要約書 1

【書類名】特許請求の範囲

【請求項1】

ワイドギャップ半導体を用いた、順方向特性にビルドイン電圧を有するワイドギャップバイポーラ半導体素子、

前記ワイドギャップバイポーラ半導体素子を収納し、前記ワイドギャップバイポーラ半導体素子を外部の装置に接続するための電気接続手段を有する半導体パッケージ、及び

前記半導体パッケージ内の前記ワイドギャップバイポーラ半導体素子を常温より高い所定の温度に保つための発熱手段を有する半導体装置。

【請求項2】

前記所定の温度は、前記ワイドギャップバイポーラ半導体素子の温度の上昇に応じて低下するビルトイン電圧の低下分に対応する前記ワイドギャップバイポーラ半導体素子の定常損失の減少分が、前記温度の上昇に応じて増加するオン抵抗の増加分に対応する前記定常損失の増加分よりも大きくなる温度より高い温度である、ことを特徴とする請求項1に記載の半導体装置。

【請求項3】

前記ワイドギャップバイポーラ半導体素子は、あらかじめ γ 線、電子線及び荷電粒子線の内の少なくとも1つを照射して、キャリアの寿命が所定の範囲になるように調整していることを特徴とする請求項1又は2に記載の半導体装置。

【請求項4】

前記ワイドギャップバイポーラ半導体素子は、あらかじめ、照射エネルギーが 0.1 MeV から 20 MeV 、照射量としての単位面積当たりの電子数が $5 \times 10^{11} / \text{cm}^2$ から $5 \times 10^{14} / \text{cm}^2$ の各範囲内の電子線を照射して、キャリアの寿命が所定の範囲になるように調整していることを特徴とする請求項1又は2に記載の半導体装置。

【請求項5】

前記発熱手段は、前記ワイドギャップバイポーラ半導体素子の動作開始前にあらかじめワイドギャップバイポーラ半導体素子を 50°C より高い所定の温度に熱するものであることを特徴とする請求項1に記載の半導体装置。

【請求項6】

前記所定の温度は 125°C 以上である請求項1、2又は5に記載の半導体装置。

【請求項7】

前記発熱手段は、前記ワイドギャップバイポーラ半導体素子に熱を伝導できるように設けられた電気ヒータであることを特徴とする請求項1に記載の半導体装置。

【請求項8】

前記発熱手段は、前記ワイドギャップバイポーラ半導体素子の通電時に発生する熱の放熱を制御して前記ワイドギャップバイポーラ半導体素子の温度を上昇させるヒートシンクであることを特徴とする請求項1に記載の半導体装置。

【請求項9】

前記発熱手段は、前記ワイドギャップバイポーラ半導体素子の通電時に発生する熱の放熱を制御して前記ワイドギャップバイポーラ半導体素子の温度を、前記ワイドギャップバイポーラ半導体素子の、温度の上昇に応じて低下するビルトイン電圧の低下分に対応する前記ワイドギャップバイポーラ半導体素子の定常損失の減少分が、前記温度の上昇に応じて増加するオン抵抗の増加分に対応する前記定常損失の増加分よりも大きくなる温度より高い温度に上昇させるヒートシンクであることを特徴とする請求項1に記載の半導体装置。

【請求項10】

前記半導体パッケージは、温度センサを有し、前記温度センサの検出力に基づいて前記ワイドギャップバイポーラ半導体素子の温度を前記所定の温度に保つ温度制御部を有することを特徴とする請求項1に記載の半導体装置。

【請求項11】

前記ワイドギャップバイポーラ半導体素子が、 $p-n$ 接合を有するダイオード及び自動型サ

イリスタのいずれか一方であることを特徴とする請求項 1 から 6 のいずれか 1 項に記載の半導体装置。

【請求項 12】

ワイドギャップ半導体を用いたワイドギャップバイポーラ発光半導体素子、
前記ワイドギャップバイポーラ発光半導体素子の発光光を受光するように、前記ワイドギャップバイポーラ発光半導体素子に対向して設けられたワイドギャップホトダイオード

、
前記ワイドギャップバイポーラ発光半導体素子及びワイドギャップホトダイオードを収納し、前記ワイドギャップバイポーラ発光半導体素子及びワイドギャップホトダイオードを外部の装置に接続するための電気接続手段を有するパッケージ、及び
前記パッケージを常温より高い所定の温度に保つための発熱手段
を有する半導体装置。

【請求項 13】

高不純物濃度の第 1 の導電型の SiC のカソード領域の上に、低不純物濃度の第 2 の導電型の SiC のドリフト層を形成する工程、
前記ドリフト層の上に第 1 の導電型の SiC のベース領域を形成する工程、

前記ベース領域の上に第 2 の導電型の SiC のアノード領域を形成する工程、及び
前記カソード領域、ドリフト領域、ベース領域及びアノード領域に、所定の照射エネルギーの電子線を所定の電子密度で照射する工程

を有する半導体装置の製造方法。

【請求項 14】

高不純物濃度の第 1 の導電型の SiC のカソード領域の上に低不純物濃度の第 1 の導電型の SiC のドリフト層を形成する工程、
前記ドリフト層の上に第 2 の導電型の SiC のアノード領域を形成する工程、

前記アノード領域にアノード電極を設ける工程、
前記カソード領域にカソード電極を設ける工程、及び

前記アノード電極とカソード電極間に、所定の順方向電流を所定時間流して、前記ドリフト層及びアノード領域に積層欠陥を生じさせる工程
を有する半導体装置の製造方法。

【請求項 15】

ワイドギャップ半導体を用いた GTO サイリスタ素子、
前記 GTO サイリスタ素子に逆並列に接続される、ワイドギャップ半導体を用いたダイオード素子、

前記 GTO サイリスタ素子及び前記ダイオード素子を収納し、前記 GTO サイリスタ素子と前記ダイオード素子を逆並列に接続し、前記逆並列に接続された GTO サイリスタ素子とダイオード素子を外部の装置に接続するための電気接続手段を有するパッケージ、

前記パッケージ内の前記 GTO サイリスタ素子及びダイオード素子を常温より高い所定の温度に保つための発熱手段を有するスイッチングモジュール、
少なくとも 2 つの前記スイッチングモジュールを直列に接続した直列接続体を、直流電源の正極と負極間に 3 つ並列に接続したスイッチング回路、及び

前記各スイッチングモジュールのそれぞれに設けられ、前記発熱手段で各スイッチングモジュールを加熱して、各スイッチングモジュールが所定の温度に達してから前記スイッチング回路の動作をさせるように制御する制御回路
を有する電力変換装置。

【請求項 16】

前記発熱手段は、前記パッケージを加熱する加熱手段及び前記パッケージの放熱を制御するヒートシンクの少なくとも 1 つであることを特徴とする請求項 15 に記載の電力変換装置。

【書類名】明細書

【発明の名称】半導体装置及びその製造方法、この半導体装置を用いた電力変換装置

【技術分野】

【0001】

本発明は、可制御電流（通電時にオンオフ制御できる最大電流）が大きいパワー半導体装置と、このパワー半導体装置を用いた電力変換装置に関する。

【背景技術】

【0002】

高電圧、大電流を扱う電力装置に用いられるパワー半導体装置は、電力損失が小さく、可制御電流が大きくかつ信頼性の高いことが要求される。可制御電流が大きくかつ電力容量の大きい従来のパワー半導体装置としては、シリコン（Si）を用いた絶縁ゲートバイポーラトランジスタ（IGBT）や自励型サイリスタがある。自励型サイリスタとはゲート制御信号によりオン・オフの制御ができるサイリスタであり、ゲートターンオフサイリスタ（GTOサイリスタ）や静電誘導サイリスタ、MOSサイリスタなどが知られている。またpn接合を有するダイオード、すなわちpn接合ダイオードやMPS（Merged pin / Schottky）ダイオード、SRD（Soft and Recovery Diode）が知られている。

【0003】

近年、Siに代わる半導体材料として、炭化珪素（SiC）などのワイドギャップ半導体材料が注目されている。SiCはSiに比べて、絶縁破壊電界強度が格段に大きく、150℃以上の高温で動作可能であるとともにエネルギーギャップも大きい等の優れた物理特性を有している。そこで、低損失高耐電圧のパワー半導体装置に好適な材料としてSiCを用いたパワー半導体装置の開発が進められている。ワイドギャップ半導体材料で構成された自励型サイリスタとしてはSiC-GTOサイリスタが、2001年のIEEE ELECTRON DEVICE LETTERS, Vol. 22, No. 3, の127頁から129頁に開示されている。SiC-GTOサイリスタでは、ゲート制御信号は電流を流すか（オン）又は遮断するか（オフ）を択一するのみで、電流値の制御を行わないので、可制御電流がIGBTよりも大きい。SiC-GTOサイリスタのスイッチング速度は非常に速く、SiのIGBTと同等のレベルであり、従ってスイッチング損失はSiのIGBTと同程度に小さい。

【非特許文献1】2001 IEEE ELECTRON DEVICE LETTERS, Vol. 22, No. 3, p. 127-p. 129

9

【非特許文献2】Proceedings of the 14th International Symposium on Power Semiconductor Devices & ICs 2002の p. 41-p. 44

【発明の開示】

【発明が解決しようとする課題】

【0004】

IGBTなどのトランジスタは、ゲート制御信号のレベルで通電電流が変化し、通電電流値はゲート制御信号のレベルで規制されるが最終的には飽和するために可制御電流が小さい。サイリスタ等は、一旦オンになった後は通電電流がゲート制御信号で規制されない。サイリスタ等では、一旦オンになった後は通電電流がゲート制御信号で規制されない。ゲート制御電流を大きくすることができる。ゲート制御信号が、電流を流すか遮断するかで可制御電流を大きくすることができる。ゲート制御信号が、電流を流すか遮断するかを択一するのみで、電流値の制御を行うことができないことを以下、「ゲート制御信号で通電電流が規制されない」ということにする。「ゲート制御信号で通電電流が規制される」とはゲート制御信号が電流値の制御を行うことができることをいう。

電力損失に関しては、IGBTなどトランジスタの方がサイリスタよりも小さい。一般に、半導体装置のトータルの電力損失（以下、トータル損失という）は次の式（1）で表される。

【0005】

トータル損失 = (定常損失) + (スイッチング損失)
= $\{ (\text{ビルドイン電圧}) + (\text{オン抵抗}) \times (\text{通電電流}) \} \times (\text{通電電流}) + (\text{スイッチング損失}) \dots (1)$

SiのIGBTはSiの自励型サイリスタに比べて、オン抵抗がやや大きい。そのために

定常損失はやや大きい。しかし、スイッチング速度が非常に速いのでスイッチング損失が非常に小さく、結果としてトータル損失が小さい。しかし、SiCなどのワイドギャップ半導体は、オン抵抗がSi半導体よりも小さいにもかかわらずエネルギーギャップは大きい。そのためにSiCの半導体のビルドイン電圧はSiの半導体に比べると2.2から6.1倍と遙かに大きい。従って定常損失が非常に大きく、トータル損失がSiのIGBTなどのSiの半導体装置よりも大きくなる。以上のように、従来の技術では低損失で可制御電流も大きいパワー半導体装置の実現は困難である。

【0006】

本発明は、低損失で可制御電流が大きく、かつ信頼性の高い半導体装置及びその製造方法並びに電力変換装置を提供することを目的とする。

【課題を解決するための手段】

【0007】

本発明の半導体装置は、ワイドギャップ半導体を用いた、順方向特性にビルドイン電圧を有するワイドギャップバイポーラ半導体素子、前記ワイドギャップバイポーラ半導体素子を収納し、前記ワイドギャップバイポーラ半導体素子を外部の装置に接続するための電気接続手段を有する半導体パッケージ、及び前記半導体パッケージ内の前記ワイドギャップバイポーラ半導体素子を常温より高い所定の温度に保つための発熱手段を有する。

本発明の半導体装置は、ワイドギャップ半導体を用いたワイドギャップバイポーラ発光半導体素子、前記ワイドギャップバイポーラ発光半導体素子の発光光を受光するように、前記ワイドギャップバイポーラ発光半導体素子に対向して設けられたワイドギャップホトダイオード、前記ワイドギャップバイポーラ発光半導体素子及びワイドギャップホトダイオードを収納し、前記ワイドギャップバイポーラ発光半導体素子及びワイドギャップホトダイオードを外部の装置に接続するための電気接続手段を有するパッケージ、前記パッケージを常温より高い所定の温度に保つための発熱手段を有している。

本発明の半導体装置の製造方法は、高不純物濃度の第1の導電型のSiCのカソード領域の上に、低不純物濃度の第2の導電型のSiCのドリフト層を形成する工程、前記ドリフト層の上に第1の導電型のSiCのベース領域を形成する工程、前記ベース領域の上に第2の導電型のSiCのアノード領域を形成する工程、及び前記カソード領域、ドリフト領域、ベース領域及びアノード領域に、所定の照射エネルギーの電子線を所定の電子密度で照射する工程を有している。

本発明の半導体装置の製造方法は、高不純物濃度の第1の導電型のSiCのカソード領域の上に低不純物濃度の第1の導電型のSiCのドリフト層を形成する工程、前記ドリフト層の上に第2の導電型のSiCのアノード領域を形成する工程、前記アノード領域にアノード電極を設ける工程、前記カソード領域にカソード電極を設ける工程、及び前記アノード電極とカソード電極間に、所定の順方向電流を所定時間流して、前記ドリフト層及びアノード領域に積層欠陥を生じさせる工程を有している。

本発明の電力変換装置は、ワイドギャップ半導体を用いたGTOサイリスタ素子、前記GTOサイリスタ素子に逆並列に接続される、ワイドギャップ半導体を用いたダイオード素子、前記GTOサイリスタ素子及び前記ダイオード素子を収納し、前記GTOサイリスタ素子と前記ダイオード素子を逆並列に接続し、前記逆並列に接続されたGTOサイリスタ素子とダイオード素子を外部の装置に接続するための電気接続手段を有するパッケージ、及び前記パッケージ内の前記GTOサイリスタ素子及びダイオード素子を常温より高い所定の温度に保つための発熱手段を有するスイッチングモジュール、少なくとも2つの前記スイッチングモジュールを直列に接続した直列接続体を、直流電源の正極と負極間に3つ並列に接続したスイッチング回路、前記各スイッチングモジュールのそれぞれに設けられ、前記発熱手段で各スイッチングモジュールを加熱して、各スイッチングモジュールが所定の温度に達してから前記スイッチング回路の動作をさせるように制御する制御回路を有している。

【0008】

本発明のワイドギャップバイポーラ半導体装置を以下に詳細に説明する。以下の説明で

は、本発明の半導体装置の特徴を理解しやすくするために、随時、従来技術に属するSの半導体装置等と対比しつつ説明する。

i)の半導体装置等と対比しつつ説明する。ワイドギャップ半導体を用いた本発明のpn接合ダイオードは、まず可制御電流に関して説明する。ワイドギャップバイポーラ半導体装置では、ゲート制御イオンドープや自動型サリシスタ等のワイドギャップバイポーラ半導体装置では、ゲート制御信号で通電電流が規制されない。従って、本発明のこれらのワイドギャップバイポーラ半導体装置は、IGBT等の、ゲート制御信号で通電電流が規制される従来のSiのバイポーラ半導体装置やワイドギャップ半導体装置に比べて、Siの素子の動作限界接合温度（125℃程度）を超える高温においても可制御電流が大きい。

【0009】

【0009】
次にトータル損失に関して説明する。一般に、従来の Si の pn 接合ダイオードや自励型サイリスタ等のように、順方向特性に所定のビルドイン電圧を有する Si のバイポーラ半導体装置においては、バイポーラ素子の温度を上昇させるとトータル損失が大きくなる。従来の Si の半導体装置の場合、温度が上昇するとビルドイン電圧は減少するが、オン抵抗とキャリアの寿命が著しく増大する。このオン抵抗の著しい増大により定常損失が著しく増大し、この増大分はビルドイン電圧の減少による定常損失の減少分を上回るためトータルの定常損失が増大してしまう。また、キャリア寿命の著しい増大によりターンオフ時のスイッチング時間が著しく増大するので、スイッチング損失が著しく増大してしまう。結局式(1)から明らかなようにトータル損失が大きくなってしまう。

【0 0 1 0】

【0010】
発明者は種々の実験の結果以下のことを見出した。
同じ耐電圧を有する、ワイドギャップバイポーラ半導体装置とSiバイポーラ半導体装置との温度依存性を比較したところ、定量的な温度依存性について以下の2つの事象を見出した。

第1の事象は、ワイドギャップバイポーラ半導体装置の温度を上昇させた場合、実用レベルの通電電流密度の範囲（例えば電流密度が $1\text{ A}\sim 700\text{ A}/\text{cm}^2$ ）では、オン抵抗の増大による定常損失の増大分よりも、ビルドイン電圧の低下による定常損失の低減分の方が大きい、ということである。

【0 0 1 1】

【0011】
第2の事象は、半導体装置のターンオフ時のスイッチング時間は温度上昇により長くなる
るでスイッチング損失が増大する。耐電圧が同じ場合、ワイドギャップバイポーラ半導
体装置は、SiのIGBT等のバイポーラ半導体装置よりも温度上昇によるスイッチング
時間の増大が少なく、従ってスイッチング損失の増大が少ない、ということである。

第1の事象は、常温において、ワイドギャップバイポーラ半導体装置のオン抵抗は、通常のバイポーラ半導体装置よりも大幅に小さいために、温度上昇によりオン抵抗が増大したとしてもその増大分は小さい、ということによる。

【0 0 1 2】

【0012】
第2の事象は、ワイドギャップバイポーラ半導体装置のキャリア寿命はSiバイポーラ半導体装置のそれよりも大幅に小さいために、温度上昇によりキャリア寿命が増大したとしてもその増大分は小さい、ということによる。

半導体装置の温度の上昇は、その損失の増大に比例して、ワイドギャップバイポーラ型サイリスタ等のワイドギャップバイポーラ半導体装置の素子の温度を高くする。これにより、オン抵抗の増大による定常損失の増大よりも、ビルドイン電圧の低下による定常損失の低減のほうが大きくできる。その結果トータルの定常損失を低減することができる。とともに、スイッチング損失も低減し、トータル損失を減らすことができる。

【0013】

【0013】
ワイドギャップバイポーラ半導体装置においては、結晶の品質が未だ良くなくキャリアの各種のトラップが多数存在する。この結果、素子のターンオフ時のテイル電流が著しく多くなり、素子温度が高くなるとこのテイル電流が更に増大し著しいスイッチング損失の

増大を招く。これは、トラップされているキャリアが高温では多数解放されることによる
と考えられる。

発明者は、ワイドギャップバイポーラ半導体装置に見いだした。これは電子線や荷電子線
このテイル電流を低減できると、第3の事象を見いだした。これは電子線や荷電子線
で形成したトラップが支配的に、キャリアの寿命が決定されることによると考えられ
る。しかし、過度に照射するとオン電圧が増大し定常損失の増大を招く。たとえば、電子
線の照射条件としては、照射エネルギーを、 $0.1 \text{ MeV} \sim 2.0 \text{ MeV}$ 、照射量としては単
位の面積当たりの電子数を $5 \times 10^{11} / \text{cm}^2 \sim 5 \times 10^{14} / \text{cm}^2$ の各範囲内で選択
して照射しアニールを施す。上記の照射条件における電子線の照射によりキャリアの寿命
を約 0.1 マイクロ秒から 2.0 マイクロ秒の範囲内で調節することができる。これによ
りオン電圧の著しい増大を招くことなくテイル電流すなわちスイッチング損失を著しく低
減できる。従って、温度上昇手段で素子の温度を高くし、その結果としてのビルドイン電
圧の低減による定常損失成分の低減効果に、この電子線照射によるスイッチング損失の低
減効果を加えることにより、半導体装置全体の損失を制御性良く低減でき本発明の目的を
より効果的に達成できる。

【0014】

【0014】
また、ワイドギャップバイポーラ半導体装置の場合は、半導体素子の温度を上げてトータ
ル損失をSiバイポーラ半導体装置より小さくしても、ワイドギャップバイポーラ半導
体装置のエネルギーギャップはまだSiのエネルギーギャップ以上の余裕が存在する。従
って、上記の程度まで半導体素子の温度を上げた場合でも熱暴走や熱破壊が起こりにく
く、温度に対して高い信頼性を確保できる。また、高耐電圧を得るために、電界線と領域の
幅を理論的な限界値よりも大きめに設定し、電界線と領域における電界を低くすること
もできる。このようにした場合でも、ワイドギャップバイポーラ半導体素子のオン抵抗は著
しく低いので、電界線と領域の幅を大きくしたことによるオン抵抗の増大量はSiバイポ
ーラ半導体素子に比べると小さい。すなわち低損失の特性を損ねることなく高い信頼性を
確保できる。以上のように、本発明によると、低損失で可制御電流が大きく、高い信頼性
を有する半導体装置が実現できる。ワイドギャップ半導体素子のオン電圧の温度依存性に
ついて、オン電圧は低温で高く、高温になるほどだんだんと低くなる。しかしオン電圧は
ある上限温度(SiCの場合は350~600℃)で最低になり、上限温度を超える温度
では逆に高くなるという傾向を持つ。これは素子の定常損失の温度依存性にも同様の傾向を
示すことを意味する。従って、半導体素子の温度を前記上限温度以上の上昇させるのは望
ましくない。この上限温度は通電電流密度に依存し、通電電流密度が高いと低くなる。例
えば、SiCバイポーラ半導体装置の場合は、電流密度が700A/cm²では約300
℃であり、5A/cm²では約750℃である。可制御電流を大きくするという本発明の
目的を効果的に達成するためには、SiCバイポーラ半導体装置の電流密度は、同じ定格
のSiバイポーラ半導体素子の定格電流に相当する電流密度(25~40A/cm²)より
も高い値において使用する。そのような高い電流密度におけるSiCバイポーラ半導体
装置の上限温度は600℃程度である。半導体素子を駆動する望ましい温度範囲は常温より
高くかつ前記上限温度以下である。室温で素子を駆動した場合には比べ高温で素子を駆動
したほうが、定常損失による自己発熱で上昇する素子温度が少なく且つ速く安定温度に達
する。この結果、ワイドギャップ半導体素子を用いて電力変換装置を構成し所定の一定電
源で負荷を駆動した場合、発熱手段を用いて素子を高温にしてから駆動を開始したほうが
、定常損失が小さいだけでなく、速く負荷を安定動作に持ち込むことができるので変換装
置の信頼性が向上する。

【0015】

【0015】
ワイドギャップパイボロ半導体素子には結晶面の方向に依存する特有の結晶欠陥が存在し、この結晶欠陥が素子の信頼性を損ねることがある。例えば、典型的なワイドギャップパイボロ半導体素子である4層6方晶のSiCのpnダイオードでは、単一結晶を得やすくするために、(0001)結晶面に対して3から8度傾けた結晶面上にn型半導体領域をエピタキシャル成長で形成する。次にこのn型の半導体領域の上にエピタキ

ャル成長やイオン打ち込みによりp型の半導体領域を形成している。上記のn型及びp型の半導体領域の形成時に両半導体領域にペイサルプレーン転位と呼ばれる結晶欠陥が生じる。ペイサルプレーン転位を有するpnダイオードに通電すると、このペイサルプレーン転位が「積層欠陥」を形成することが知られている。積層欠陥は、例えばp型半導体領域からn型半導体領域に注入された小數キャリアが結晶の格子点に衝突した際の衝撃エネルギーにより形成されると考えられている。通電により形成される積層欠陥は通電電流が大きいほど多く形成される。この積層欠陥は注入された小數キャリアをトラップし再結合させて消滅させるので小數キャリアのライフタイムが短くなるという劣化現象が生じ、その結果オン電圧が高くなる。オン電圧が高くなると通電時の電力損失が大きくなるとともに、場合によっては素子を熱破壊させてしまうおそれがある。

【0016】

ところがpnダイオードの素子温度を上昇させると、上記の積層欠陥に起因する小數キャリアトラップ作用が低減するので再結合による小數キャリアの消滅を防ぐことができる。そのため積層欠陥が増大したとしても、オン電圧が高くなるという現象を抑制できる。具体的には小數キャリアトラップ作用は、素子温度を50℃以上にするで低減しはじめ、125℃以上ではほぼ消滅して、オン電圧が高くなるという現象は非常に小さくなる。その結果電力損失の増大を防ぐことができるとともに高い信頼性を実現できる。一旦形成された積層欠陥は素子温度を下げても消滅することがない。従って、素子温度が低い状態で通電をすると積層欠陥の作用により大きな電力損失を発生し素子を破壊してしまうおそれがある。そこで、通電開始前にあらかじめ素子の温度を125℃以上を上昇させておく。このようにすると、積層欠陥が存在したとしてもその影響を避けることができ、オン電圧が高くなることなく素子に通電することができる。

ワイドギャップバイポーラ半導体素子の温度を上昇させる手段として、加熱手段を設けてワイドギャップバイポーラ半導体素子を加熱する。またワイドギャップバイポーラ半導体素子の温度を上昇させる手段としては、ワイドギャップバイポーラ半導体素子の構成要素の一部又は全部に通電した時の自己発熱を利用してもよい。加熱手段による加熱と自己発熱を併用してもよい。自己発熱を利用するときは、ワイドギャップバイポーラ半導体素子に設けるヒートシンクの大きさ、材質、形状を適切に設定することにより、ワイドギャップバイポーラ半導体素子の温度を所望の値に上昇させることができる。ヒートシンクを小型にし、比熱の小さい材料を用いるとワイドギャップバイポーラ半導体素子の温度の上昇速度を速くできるとともに、温度を高くすることもできる。また必要に応じて送風冷却用のファンを設けてもよい。ファンの回転速度を調節することにより、ワイドギャップバイポーラ半導体素子の温度を所望値にすることができる。自己発熱を利用する場合は加熱手段が不要なのでワイドギャップバイポーラ半導体素子の構成が簡単になる。

【発明の効果】

【0017】

本発明の半導体装置は、順方向特性においてビルドイン電圧を有し、制御信号で電流の通電と遮断を制御するワイドギャップバイポーラ半導体素子をあらかじめ所定の温度に上昇させてから動作させる。これにより、可制御電流が大きいかつ低損失で信頼性の高い半導体装置を実現できる。

【発明を実施するための最良の形態】

【0018】

以下、本発明の好適な実施例を図1から図7を参照して説明する。各図において、図を見易くするために図示された各要素の寸法は、実際の寸法とは対応していない。

《第1実施例》

本発明の第1実施例の半導体装置は、耐電圧8.5kVのSiC（炭化珪素）pnダイオード装置19であり、以下図1を参照して説明する。

図1は、本発明の第1実施例のSiC-pnダイオード装置19の断面図である。図1において、SiCのpnダイオード素子13は4層6方形の素子であり、厚さ約300μmの高不純物濃度のn型SiCのカソード領域1の上に厚さ約95μmの低不純物濃度の

のn型SiCのドリフト層2が形成されている。ドリフト層2の中央領域に、ドリフト層2との主接合を構成するp型SiCのアノード領域3が形成されている。アノード領域3の周辺にはp型SiCの電界緩和領域4が形成されている。アノード領域3にはアノード金属電極6が形成されている。アノード金属電極6を除く素子の表面には表面保護膜5が形成されている。

【0019】

カソード領域1の下にはカソード金属電極7が形成されている。アノード金属電極6は金のリード線8により電気接続手段である金属のリードピン9の接続端9aに接続されている。カソード金属電極7は金属の支持体10の上面に電気的接続を保つように接着されている。支持体10の下面中央部には、電気接続手段の金属のリードピン11が接続されている。このSiC-pnダイオード装置19はリードピン9と11により外部配線に接続される。リードピン9は支持体10を貫通し、貫通部は高融点絶縁ガラス12で密封・固着されている。pnダイオード素子13及びリードピン9の接続端9aを含む支持体10の上面は金属のキャップ14で覆われ、その内部の空間44には窒素ガスが封入されている。

【0020】

支持体10の下面には、pnダイオード素子13の温度を上昇させる発熱手段として、ニクロム線15aをシリコンゴムなどの耐熱性ゴムのシート内に埋め込んだシート状のヒーター15が取り付けられている。ヒーター15は内部のニクロム線15aに通電すること、絶縁物17a、17bでそれぞれ被覆された端子16a、16bを有する。

本実施例のSiC-pnダイオード装置19の製作方法の一例を詳細に説明する。SiC-pnダイオード素子13は金シリコンの高温半田を用いて支持体10に半田付けされる。金のリード線8は、リードボンディング装置を用いてアノード電極6と金属のリードピン9の端部9aとの間を接続する。図1ではリード線8は1本のみ図示されているが、実際の素子ではリード線8は複数のものを並列に接続している。上記のように構成された支持体10に窒素ガス中で金属キャップ14を取り付け、周囲を溶接して密閉パッケージを形成する。これによりキャップ14内の空間44に窒素ガスが封入される。最後に支持体10の下面にヒーター15を張り付けるとともに、キャップ14の外面に温度センサ18を取り付けてSiC-pnダイオード装置19が完成する。温度センサ18の接続線8aは温度制御部140に接続されている。温度制御部140は、温度センサ18の検出出力に基づいて、電源141の電力を接続線142、143及びヒーター15の端子16a、16bを経てヒーター15に供給し、pnダイオード素子13の温度を所定値に制御する。

【0021】

本実施例のSiC-pnダイオード装置19の動作の一例を以下に説明する。pnダイオード装置19を動作させる前にヒーター15に通電して支持体10を加熱し、pnダイオード素子13の温度を250℃程度に保つ。pnダイオード素子13の温度の検出は、素子の温度が上昇するとオン電圧が上昇する、という特性を利用する以下に示す方法で行う。キャップ14を取り付けてパッケージを形成したSiC-pnダイオード装置19を温度可変の加熱室に入れ、加熱室の温度を室温から徐々に上げてゆく。pnダイオード素子13に、例えば時間幅が200 μ sの、定格電流の200分の1程度の順方向のパルス電流を流す。上記のパルス電流を流したときの、加熱室の温度にほぼ等しいpnダイオード素子13の温度とオン電圧を測定して両者の関係を表す校正曲線(グラフ)を作成する。以後はこのグラフを用いて温度を測定する。すなわちpnダイオード素子13の加熱中に上記のパルス電流を印加してオン電圧を測定する。オン電圧の測定値から前記グラフを参照することによりpnダイオード素子13の温度を知ることができる。pnダイオード素子13の温度が所定値、例えば250℃に達した後は、温度センサ18の検出値を参照して、温度制御部140によりヒーター15の通電を制御して、pnダイオード素子13の温度を前記所定値に保つ。

【0022】

次にリードピン9と11との間に、リードピン11の電位がリードピン9より高くなるように逆電圧を印加して耐電圧を測定する。本実施例のpnダイオード装置19の耐電圧は8.5kVである。逆電圧8kVでのリーク電流密度は $2 \times 10^{-3} \text{ A/cm}^2$ 以下であり、250℃の高温において所望の特性が得られた。可制御電流は200Aであり、360A/cm²の高い電流密度で、電流200A、繰り返し周波数5kHzで通電することとができた。電流密度360A/cm²で通電した時のオン電圧は2.5V、巡回復電荷は1.1μC、定常損失は約280W、スイッチング損失は約33Wであった。このときpnダイオード素子13の接合温度は約340℃となった。

【0023】

耐電圧8.5kVの従来のSiC-pnダイオードの場合、以下の文献「Proceedings of the 14th International Symposium on Power Semiconductor Devices & ICs 2002のp. 41-p. 44」に開示されているように、接合温度125℃で150Aの電流（電流密度は約50A/cm²）の通電時のオン電圧は3.5Vであり、巡回復電荷は約125μCであった。上記従来のSiC-pnダイオードに比べて、本実施例のSiC-pnダイオード装置19では、定常損失はほぼ95%である。また、巡回復電荷は本実施例のpnダイオード装置の方が約1桁小さいので、スイッチング損失も約1桁小さくなる。SiC-pnダイオード装置19のトータル損失はSiC-pnダイオードの50%程度になり大幅に低減できる。SiC-pnダイオード装置19では、接合温度が340℃のときのオン抵抗は小さく、接合温度が125℃のときのSiC-pnダイオードのオン抵抗よりも大幅に小さく、その結果としてトータル損失が小さくなる。半導体の性質を失ういわば金属状態になるまでには約1.66eVのエネルギーギャップを残している。この1.66eVのエネルギーギャップは、Siのエネルギーギャップ1.1eVよりも大きいので、温度に対する高い信頼性を確保できる。

【0024】

本実施例のpnダイオード素子13のn型のドリフト層2の厚さは95μmである。pnダイオード素子13に8.5kVの逆電圧を印加した時の空乏層の厚さは85μmであるので、約10μm程度のマージンをもつ。このマージンをもつことにより耐電圧に対する高い信頼性が確保できる。

ヒーター15によりpnダイオード素子13の温度をあらかじめ約250℃の高温にしてから稼働するように構成しているので、積層欠陥が特性に及ぼす影響は極めて少なくなり、稼働中にオン電圧が上昇するのを防止できる。そのためpnダイオード素子13で生じる損失を一定値に保つことができて高い信頼性を確保できる。

以上のように、本実施例のSiC-pnダイオード装置19によれば、低損失かつ可制御電流の大きくかつ信頼性の高い半導体装置が実現できる。

【第2実施例】

【0025】

本発明の第2実施例の半導体装置は、耐電圧5kVのSiC-GTOサイリスタ（Gate Turn-Off Thyristor）装置49であり、図2にその断面図を示す。図3は図2におけるGTOサイリスタ素子20を紙面に垂直な面で切断したセルの一つの断面図である。実際の素子では、図3に示すセルが、図の左右方向に複数個連結されている。図2及び図3において、厚さ約320μmの高不純物濃度のn型SiCのカソード領域21の上面に、厚さ約3μmのp型SiCのパッファ層22を設けている。カソード領域21の下面にカソード電極32が設けられている。パッファ層22の上に厚さ約60μmの低不純物濃度のp型SiCのベース層23を設けている。ベース層23の中央部にそれぞれの厚さが約2μmのn型SiCのペリス領域24とp型SiCのアノード領域25が順次形成されている。ペリス領域24の周囲にはn型SiCの電界緩和領域26が形成されている。GTOサイリスタ素子20の表面には二酸化シリコン層、窒化シリコン層及び二酸化シリコン層の3層構造の表面保護膜27が形成されている。アノード領域25にはアノード電極28が形成されている。このアノード電極28の上の左側の領域には2層目のアノード電極29が形成され、右側の領域には絶縁膜30を介してゲート電極31が形成されている。

。図3に示すように、n型のベース領域24には1層目のゲート電極33が形成され、ゲート電極33は、図示していない接続部で図2に示すゲート電極31に接続されている。

【0026】

上記の構成のGTOサイリスタ素子20に、照射エネルギーが約4 MeVの電子線を、 $7 \times 10^{12} / \text{cm}^2$ の電子密度で照射し、700℃の温度で8時間アニールする。この処理を行ったGTOサイリスタ素子20を金シリコンの高温半田を用いて支持体38の上面に半田付けする。リード線34、36は直径80 μm の金線であり、リードボンデン装置を用いてそれぞれアノード電極29とアノード端子35の端部35a間、及びゲート電極31とゲート端子37の端部37a間を接続する。図2では、リード線34、36はそれぞれ1本ずつ図示されているが、実際にはリード線34、36は、複数のものを並列に接続している。カソード電極32はカソード端子39を有する金属の支持体38に取り付けられている。リード線34、36及びアノード端子35、ゲート端子37及びカソード端子39は電気接続手段である。アノード端子35及びゲート端子37は、それぞれの高融点絶縁ガラス40及び41で支持体38との間の絶縁を保ちつつ支持体38を貫通して固定されている。

【0027】

GTOサイリスタ素子20の全面、及びリード線34及び36のGTOサイリスタ素子20との接続部近傍を覆うように、高耐熱の合成高分子化合物の被覆体42を塗布する。最後に窒素雰囲気中で金属キャップ43を支持体38に取り付けて溶接することにより空間44に窒素ガスが封入されたSiC-GTOサイリスタ装置49が完成する。金属キャップ43の側面には温度センサ18が設けられている。

金属キャップ43の外側上面に、耐熱ゴムにニクロム線46aを埋込んだ発熱手段であるヒーター46が張り付けられている。ヒーター46の、絶縁物48a、48bでそれぞれ被覆された端子47a、47bを用いて直流又は交流の電流を流すことによりキャップ43を加熱することができる。ヒーター46はGTOサイリスタ素子20の温度を上昇させるための手段である。本実施例においても図1に示す第1実施例と同様の温度制御部140及び電源141を有しているが、図2では図示を省略している。

【0028】

本実施例のSiC-GTOサイリスタ装置49を動作させるときは、ヒーター46に通電して金属キャップ43を加熱し、GTOサイリスタ素子20の温度を約200℃に上昇させる。GTOサイリスタ素子20の温度の検出方法は前記第1実施例の場合と同じである。GTOサイリスタ素子20の温度が約200℃に達した後、アノード端子35の電位がカソード端子39よりも高電位になるように順方向に5 kVの電圧を印加し、ゲート端子37の電位をアノード端子35と同電位にすると、電流が流れないオフ状態が維持され、5 kVの耐電圧が得られた。

【0029】

次にこのオフ状態でゲート端子37の電位をアノード端子35よりも低電位にし、アノード端子35からゲート端子37に向けてゲート電流を流すと、SiC-GTOサイリスタ装置49はオン状態になり、アノード端子35とカソード端子39間に電流が流れる。オン状態でゲート端子37の電位をアノード端子35よりも高電位にすると、アノード端子35とカソード端子39間に流れている電流が、ゲート端子37とカソード端子39間に転流し、アノード端子35とカソード端子39間を流れる電流は遮断されてオフ状態になる。このときのアノード端子35とカソード端子39間の電圧は逆電圧である。

具体的には、カソード端子39に負の電圧を印加し、ゲート端子37にアノード端子35を基準にしてビルトイン電圧以上の電圧を印加すると、SiC-GTOサイリスタ装置49はオンとなる。このときドリフト層23内にカソード領域22から電子が注入されるため、伝導度変調が生じ、オン抵抗が大幅に低下する。SiC-GTOサイリスタがオンになった状態において、ゲート端子37の電位をアノード端子35の電位より高くすると、アノード端子35とカソード端子39間を流れる電流の一部又は全部がゲート端子37から引き抜かれることになり、GTOサイリスタをオフ状態にすることができる。

【0030】

本実施例のSiC-GTOサイリスタ装置49の、逆電圧が5kVでのリーク電流密度は200℃の高温雰囲気中で $5 \times 10^{-3} \text{ A/cm}^2$ 以下と良好であった。

本実施例のSiC-GTOサイリスタ装置49は、3kV以上の高耐電圧を有する従来のSi半導体装置では通電が困難である、 300 A/cm^2 の高い電流密度において可制御電流150Aを達成できた。GTOサイリスタ素子20の温度を170℃に保って、300A/cm²の高電流密度で、繰り返し周波数2kHzで150Aの電流を通電した時のオン電圧は3.4Vであった。150Aの電流をスイッチングさせたときのターンオフ時間は0.4μs、ターンオフ時間は1.4μs、定常損失は255W、スイッチング損失は103Wであった。上記の動作をさせるとGTOサイリスタ素子20の接合温度は308℃程度となる。

【0031】

耐電圧5.0kVの従来のSi-GTOサイリスタの場合には温度が125℃で100Aの電流の(電流密度は約60A/cm²)通電時のオン電圧は5.3Vであり、ターンオフ時間は8μs、ターンオフ時間は22μsである。本実施例のSiC-GTOサイリスタ装置49をこのSi-GTOサイリスタ装置に比べると、本実施例のSiC-GTOサイリスタ装置49の方がオン電圧が約1V低く、定常損失はSi-GTOサイリスタの約96%である。SiC-GTOサイリスタ装置49のターンオン時間とターンオフ時間は、それぞれSi-GTOサイリスタの約1/20および約1/16と小さい。その結果は、それぞれSi-GTOサイリスタ装置49のスイッチング損失はSi-GTOサイリスタの約1/18以下になり、SiC-GTOサイリスタ装置49のトータル損失はSi-GTOサイリスタ装置のトータル損失の約17%程度になり著しく低減できた。

【0032】

SiC-GTOサイリスタ装置49の接合温度308℃でのオン抵抗は、Si-GTOサイリスタ装置の接合温度125℃でのオン抵抗よりも小さく、この結果としてトータル損失も小さくなり半導体の性質を失ういわば金属状態になるまでにはSiのエネルギーギャップより大きい約1.75eVのエネルギーギャップを残している。そのため、温度に対する高い信頼性を確保できる。低不純物濃度のp型SiCのドリフト層23の厚さは60μmである。5kVの逆電圧におけるドリフト層23の空乏層の厚さは約50μmであるので約10μm程度の十分なマージンを有している。このマージンにより前記の耐電圧に対しても高い信頼性を確保できる。

【0033】

ヒーター46によりSiC-GTOサイリスタ素子20を加熱して、その温度を200℃の高温に保って動作させるようにしたので、積層欠陥の影響が極めて少なくなり、動作時にオン電圧が上昇することがないで高い信頼性を確保できる。以上のように本実施例によれば、可制御電流が150A程度と大きく、低損失かつ信頼性の高いSiC-GTOサイリスタ装置49を実現できた。

〈第3実施例〉

【0034】

本発明の第3実施例の半導体装置は、光結合ワイドギャップパワー半導体装置であり、図4にその断面図を示す。図において、発光機能を有する主パワー半導体素子としては、耐電圧3kV・電流容量160AのGaN(ガリウムナイトライド)-GTOサイリスタ素子51を用いている。受光素子としてはSiC-ホトダイオード52を用いている。SiCホトダイオード52はGaN-GTOサイリスタ素子51に対向するように同一パッケージ内に設けられている。

【0035】

図4に示すGaN-GTOサイリスタ素子51において、厚さ約250μmの高不純物濃度のn型GaNのカソード領域52の上面に、厚さ約35μmの低不純物濃度のp型GaNのpベース領域53が形成されている。pベース領域53の中央領域に厚さ約1.7μmの高不純物濃度のn型GaNのnベース領域54が形成されている。カソード領域52

2の下面にはカソード電極66が設けられている。nベース領域54の周囲のpベース領域53内にはn型SiCの電界緩和領域56が形成されている。nベース領域54の右端部に金属のゲート電極58が設けられている。ゲート電極58の部分を除くnベース領域54の上に、n型SiCの厚さ3 μ mのアノード領域55が設けられている。アノード領域55の上に、発光窓60を有する金属のアノード電極59が設けられている。pベース領域53及び電界緩和領域56の上には窒化シリコン層と酸化シリコン層の2層構造の表面保護膜57が形成されている。

【0036】

ゲート電極58は、金のリード線61によりゲート端子62に接続されている。アノード電極59は、金のリード線63、64によりアノード端子65に接続されている。カソード電極66はカソード端子68を有する金属の支持体67に取り付けられている。リード線61、63、64、及びアノード端子65、ゲート端子62、カソード端子68は電気接続手段である。リード線61、63、64は、それぞれを流れる電流値に応じて、それぞれ複数の線を並列に接続したものをを用いればよい。

【0037】

SiCホトダイオード52は、SiCを用いる点を除けば従来のホトダイオードと同じ構成を有するので詳細な説明は省略する。SiCホトダイオード52は、その受光部80がGaN-GTOサイリスタ素子51の発光窓60に対向するようにキャップ70の内側に窒化アルミニウムなどの絶縁板71を介して接着されている。SiCホトダイオード52のアノード電極72は、金のリード線73により金属のアノード端子74に接続されている。カソード電極75は金のリード線76によりカソード端子77に接続されている。リード線73、76及びアノード端子74とカソード端子77は電気接続手段であり、それぞれの外部配線に接続される。アノード端子74及びカソード端子77はキャップ70の貫通孔に高融点絶縁ガラス78、79を介して面着されている。GaN-GTOサイリスタ素子51、SiCホトダイオード52、リード線61、63、64、73、76及びカソード端子62の端部及びエミッタ端子65の端部を覆うように、透明な合成高分子化合物の被覆体81が設けられている。支持体67の下面には、ニクロム線85aを有するヒーター85が設けられている。ヒーター85は、本実施例の光結合ワイドギャップパワー半導体装置の温度を上昇させる発熱手段である。ヒーター85は2つの端子86a、86bを有し、この両端子86a、86bによりニクロム線85aに通電しヒーター85を発熱させる。ギャップ70の外面には温度センサ18が設けられている。本実施例においても図1に示す第1実施例と同様の温度制御部140及び電源を有しているが、図4では図示を省略している。

【0038】

本第3実施例の光結合ワイドギャップパワー半導体装置の製作方法の一例を以下に説明する。あらかじめ製作したGaN-GTOサイリスタ素子51を金シリコンの高融点半田を用いて支持体67の所定位置に半田付けする。リードボンディング装置を用いて直径80 μ mの金のリード線63、64でアノード電極59とアノード端子65とを接続する。ゲート電極58とゲート端子62とを金のリード線61で接続する。硬化前の合成高分子化合物81の素材をGaN-GTOサイリスタ素子51を包み込むように厚く塗布する。

【0039】

あらかじめ製作したSiCホトダイオード52を金シリコンの高融点半田を用いて、金属キャップ70の内側面に窒化アルミニウム絶縁板71を介して半田付けする。次にリードボンディング装置を用いて直径80 μ mの金のリード線73でアノード電極72とアノード端子74を接続する。またカソード電極75を金のリード線76でカソード端子77に接続する。次に硬化前の合成高分子化合物81の素材を、SiCホトダイオード52、リード線73、76のSiCホトダイオード52との接続部近傍を包み込むように厚く塗布する。最後に金属キャップ70と支持体67を、SiCホトダイオード52の受光部80がGaN-GTOサイリスタ素子51の発光窓60に対向し、且つ両者を包み込んでいる。各々の合成高分子化合物の素材が接するように組合わせて、窒素雰囲気中で溶接する。そ

の後200℃の温度で7時間加熱して合成高分子化合物をある程度の柔軟性を有する状態に硬化させる。

【0040】

第3実施例の光結合ワイドギャップパワー半導体装置の動作の一例を次に示す。まず、第2図8-5に通電して支持体67を加熱し、パッケージ内のGa_N-GTOサイリスタ素子51の温度を約200℃にする。GTOサイリスタ素子51の温度の測定方法は前記実施例の方法と同じである。カソード端子68の電位をアノード端子65よりも低電位にして順方向バイアス状態にする。そしてゲート端子62の電位をアノード端子65と同電位にすると、電流が流れないオフ状態が維持される。耐電圧は3kVで高耐電圧を実現できた。SiCホトダイオード52はアノード端子74の電位をカソード端子77よりも低電位にして逆方向バイアス状態にしておく。

【0041】

オンオフ駆動は次のようにする。ゲート端子62の電位をアノード端子65の電位よりも低電位にし、アノード端子65からゲート端子62に向かうゲート電流を流す。これにより、Ga_N-GTOサイリスタ素子51がオン状態になり、波長が約390～570nmの間の光50が発生する。この光50はSiCホトダイオード52で受光され、光量に対応した量の光電流がアノード端子74とカソード端子77間を流れる。アノード端子74とカソード端子77間の電流は、本実施例の光結合ワイドギャップパワー半導体装置の動作状態を示している。この電流は、本実施例の光結合ワイドギャップパワー半導体装置の制御に使用することができる。

【0042】

Ga_N-GTOサイリスタ素子51がオン状態のときに、ゲート端子62の電位をアノード端子68より高い電位にすると、カソード電極66とアノード電極59間を流れている電流は遮断され発光も停止する。SiCホトダイオード52は、光がなくなるので光電流がなくなりオフ状態になる。

【0043】

本実施例のGa_N-GTOサイリスタ素子51の耐電圧は約3.0kVであり、この耐電圧で、220℃の高温におけるリーク電流密度は 3×10^{-4} A/cm²以下と良好な値であった。Ga_N-GTOサイリスタ素子51とSiCホトダイオード52間の絶縁耐圧は5kV以上であり、5kVでのリーク電流密度は 1×10^{-5} A/cm²以下であった。

本実施例のGa_N-GTOサイリスタ素子51を185℃に加熱し、 240 A/cm²の高い電流密度で160Aの電流を、繰返し周波数3kHzで通電した。この時のオン電圧は3.6V、ターンオン時間は0.3μs、ターンオフ時間は0.7μs、定常損失は約288W、スイッチング損失は68Wであった。Ga_N-GTOサイリスタ素子51の接合温度は約410℃程度となった。

【0044】

ちなみに従来のSiの耐電圧3kV以上のGTOサイリスタでは 240 A/cm²の電流密度で160Aの電流を流すことはできない。耐電圧3kVのSiのGTOサイリスタの場合、接合温度125℃において、電流120A（電流密度は約45 A/cm²）の通電時のオン電圧は4.5Vであり、ターンオン時間は6μs、ターンオフ時間は17μsである。

【0045】

本実施例のGa_N-GTOサイリスタ素子51を従来のSiのGTOサイリスタと比較すると、SiのGTOサイリスタの可制御電流が120Aなのに対し、Ga_N-GTOサイリスタ素子51の可制御電流は160Aと大きい。可制御電流160AでのGa_N-GTOサイリスタ素子51のオン電圧は、SiのGTOサイリスタの可制御電流120Aでのオン電圧の約80%であり、定常損失は約80%である。Ga_N-GTOサイリスタ素子51のターンオン時間とターンオフ時間はそれぞれSiのGTOサイリスタの約1/2および1/24であり大幅に短い。その結果Ga_N-GTOサイリスタ素子51のスウィ

チング損失はSiのGTOサイリスタの1/22以下に小さくでき、トータル損失は約19%程度に著しく低減できた。本実施例の光結合ワイドギャップパワー半導体装置を185℃の空気雰囲気中で500時間連続通電稼働したが、稼働後に光伝達効率は低下していなかった。また、光結合ワイドギャップパワー半導体装置を分解して調査したが、合成高なかつた。分子の保護膜81にはクラックが生じたり白濁や変形が生じたりしてはいなかった。また、順方向電圧や3kVでのリーク電流密度、スイッチング時間も測定誤差範囲の値でありほとんど変化していなかった。SiCホトダイオードの特性も同様に変化はみられなかった。

【0046】

GaNのGTOサイリスタの場合、接合温度410℃でのオン抵抗は、同125℃でのSiのGTOサイリスタのオン抵抗よりも小さく、その結果トータル損失も小さい半導体の性質を失ういわば金属状態になるまでに約1.7eVのエネルギーギャップを残している。従って温度に対する高い信頼性を確保できる。また、GaNはSiCの約1.5倍の高い絶縁破壊電界を持っているので、ドリフト層として機能する厚さ35μmの低不純物濃度のp型GaNのpベース領域53は、3kV耐電圧における空乏層に対しては十分なマージンをもった値であり、耐電圧に対する高い信頼性を確保できる。

【0047】

本実施例のGaN-GTOサイリスタ素子51は、ヒーター85によりあらかじめ185℃に加熱してから動作を開始させるので、積層欠陥の影響はほとんどみられず、動作時にオン電圧が上昇することもなく高い信頼性を確保できる。以上のように、本実施例によれば、低損失でも制御電流が大きく且つ、信頼性の高い光結合半導体装置を実現できる。

《第4実施例》

本発明の第4実施例の半導体装置を図5を参照して説明する。第4実施例の半導体装置は、SiC-pnダイオード装置19aであり、図1に示す前記第1実施例のSiC-pnダイオード装置19において、ヒーター15に代えてヒートシンク88を設けている。その他の構成は前記第1実施例と実質的に同じであるので、異なる部分のみを説明し、重複する説明は省略する。

【0048】

本第4実施例のSiC-pnダイオード装置19aは、耐電圧7kVの、4層6方晶形のSiC-pnダイオード素子13aを有している。pnダイオード素子13aは、低不純物濃度のn型SiCのドリフト層2の厚さを約80μm（第1実施例では約95μm）にした点を除いて、前記第1実施例のpnダイオード素子13と同じである。

本実施例のSiC-pnダイオード装置19aは、支持体10の下部外面にヒートシンク88を有している。ヒートシンク88の近傍には送風冷却用のファン98が設けられている。ギャップ14の上部外面には温度センサ18が設けられ、その検出力は温度制御部140に入力される。温度制御部140は温度センサ18の検出力に基づいてファン98の動作を制御する。

pnダイオード素子13aに通電すると、その電流に応じてpnダイオード素子13aは発熱する。この発熱を「自己発熱」という。本実施例では、pnダイオード素子13aの温度を前記自己発熱により上昇させる。そのために比較的小型の、例えばアルミニウム製の、ヒートシンク88を設けている。ヒートシンク88が大きくて放熱される熱量が多すぎると、pnダイオード素子13aの温度が上昇しないので、pnダイオード素子13aの発熱量とヒートシンクの放熱量のバランスを考慮してむしろ小型のヒートシンク88を設けるのが望ましい。pnダイオード素子13aの温度が所望値を超えたときは、温度センサ18の検出力に基づいてファン98を動作させてヒートシンクを強制冷却する。強制冷却をする際のヒートシンク88と空気との間の熱抵抗が、約1℃/Wになるように、ヒートシンク88の構造を設定すればよい。

【0049】

本実施例のSiC-pnダイオード装置19aの動作を以下に説明する。まずpnダイオード素子13aに順方向に所定の直流電流を所定時間流して、積層欠陥を形成させ、ド

リフト層2とアノード領域3の積層欠陥による劣化を促進させる。劣化の進行はオン電圧の上昇によって知ることができる。オン電圧の上昇がなくなると劣化が飽和したことが判る。本実施例では上記の処理をした後通常の動作をさせる。上記の積層欠陥による劣化をあらかじめ促進させる処理は、前記第1から第3実施例の各半導体装置にも施すのが望ましい。

【0050】

本実施例のSiC-pnダイオード装置19aの動作例を以下に説明する。
繰り返し周波数5kHz、電流密度が 360 A/cm^2 となる200Aの電流を流す。
このときのオン電圧は2.3V、逆回復電荷は $10.4\text{ }\mu\text{C}$ であった。また定常損失は約260W、スイッチング損失は約31Wであった。ファン99を駆動してヒートシンク8に、空気とヒートシンク8間の熱抵抗が約 1°C/W になるように風を送ったとき、pnダイオード素子13aの接合温度を約 350°C にすることができた。

耐電圧7.0kVを有する、従来のSi-pnダイオードの場合、接合温度 125°C で 150 A の電流（電流密度は約 50 A/cm^2 ）の通電時のオン電圧は3.4Vであり、逆回復電荷は約 $113\text{ }\mu\text{C}$ であった。上記従来のSi-pnダイオードに比べて、本実施例のSiC-pnダイオード装置19aでは、定常損失もほぼ90%である。また、逆回復電荷は本実施例のpnダイオード装置の方が約1桁小さくなる。SiC-pnダイオード装置19のトータル損失はSi-pnダイオード1桁小さくなる。SiC-pnダイオード装置19のトータル損失はSi-pnダイオードの49%程度になり大幅に低減できる。SiC-pnダイオード装置19aでは、接合温度が 350°C のときのオン抵抗は、接合温度が 125°C のときのSi-pnダイオードのオン抵抗よりも小さく、この結果トータル損失が小さい。しかも半導体の性質を失ういのオン抵抗よりも小さく、この結果トータル損失が小さい。しかも半導体の性質を失ういわば金属状態になるまでは約1.64eVのエネルギーギャップを残している。この1.64eVのエネルギーギャップはSiのエネルギーギャップよりも大きいので、温度に対する高い信頼性を確保できる。

【0051】

本実施例のSiC-pnダイオード装置19aの可制御電流は200Aであった。n型SiCのドリフト層2の厚さが $80\text{ }\mu\text{m}$ であるので、7kVの逆電圧印加時の空乏層の厚さが $70\text{ }\mu\text{m}$ に対して約 $10\text{ }\mu\text{m}$ のマージンをもっており、7kVの耐電圧に対しては高い信頼性を有している。

本実施例では、pnダイオード素子13aに、あらかじめ所定の電流を所定時間流して積層欠陥による劣化を飽和するまで進行させている。従って、SiC-pnダイオード装置の使用に劣化が徐々に進行することなく特性の経時変化が避けられる。

また動作開始時には、pnダイオード素子13aが自己発熱により 200°C 以上の温度になるまでは、通電電流を定格値より小さくする。これによりpnダイオード素子13aの温度が十分高くない場合に、積層欠陥に起因するオン電圧の上昇とそれによる定常損失の大幅な増加を避けることができる。

本実施例によれば、前記の各実施例の半導体装置に設けているヒーターなどの加熱手段を必要としないので、構造が簡単になり、小型にすることができる。

〈第5実施例〉

【0052】

本発明の第5実施例は、前記第1実施例のSiC-pnダイオード装置19、及び前記第2実施例のSiC-GTOサイリスタ装置49をスイッチング部として用いた、電力変換装置の一つであるインバータ装置に関する。本実施例のインバータ装置は、前記SiC-pnダイオード装置19とSiC-GTOサイリスタ装置49を1つのパッケージ中に収容したものをスイッチング部として用いるのが望ましい。

【0053】

図6は、本実施例のインバータ装置の回路図であり、図7は前記SiC-pnダイオード装置19のpnダイオード素子13と、SiC-GTOサイリスタ装置49のGTOサイリスタ素子20とを1つのパッケージ中に収容したスイッチング部であるスイッチングモジュール100aの断面図である。

図6において、インバータ装置90は直流電源91の直流を三相の交流に変換して負荷92に供給する電力変換装置である。インバータ装置90はよく知られた回路であり、直流電源91の正極と負極との間に、2つのスイッチングモジュール100a、100bの直列接続体が、3つ並列に接続されている。スイッチングモジュール100aと100bの、3つの直列接続体のそれぞれの接続点101、102、103は負荷92に接続されている。各スイッチングモジュール100a、100bには、よく知られているので詳細な構成を省略した制御回路93が設けられている。各制御回路93は図示を省略した制御装置により制御される。

【0054】

スイッチングモジュール100aと100bは同一の構成を有するので、スイッチングモジュール100aについて詳細に説明する。

スイッチングモジュール100aの断面図を図7に示す。図7において、金属の支持体125の上に、図1に示すpnダイオード素子13と、図2に示すGTOサイリスタ素子20とが設けられている。

pnダイオード素子13は実質的に図1に示すものと同じ構成を有するが、図1のものでは $300\mu\text{m}$ あるカソード領域1の厚さを $50\mu\text{m}$ に減らして、耐電圧を 5kV として、 $300\mu\text{m}$ あるカソード領域1の厚さを $50\mu\text{m}$ に減らして、耐電圧を 5kV として、 $300\mu\text{m}$ あるカソード領域1の厚さを $50\mu\text{m}$ に減らして、耐電圧を 5kV としている。pnダイオード素子13は、厚さが約 $500\mu\text{m}$ の窒化アルミニウムの絶縁板12を介して支持体125との間に絶縁を保ちつつ取り付けられている。pnダイオード素子13のアノード電極6は金のリード線8で支持体125に接続されている。pnダイオード素子13のカソード電極7はリード線7aでアノード端子110に接続されている。

【0055】

GTOサイリスタ素子20は図2に示すものと同じものが支持体125に取り付けられている。GTOサイリスタ素子20のカソード電極32は、下面にカソード端子111を有する支持体125に取り付けられている。GTOサイリスタ素子20のアノード電極29は、リード線34によりアノード端子110に接続されており、ゲート電極31はリード線36によりゲート端子112に接続されている。上記の各接続によってpnダイオード素子13は、GTOサイリスタ素子20に逆並列に接続される。支持体125の下面に、図4に示すヒーター85と類似の構造のヒーター127が設けられている。ヒーター127は通電用の端子128、129を有している。支持体125にはpnダイオード素子13、GTOサイリスタ素子20、及びアノード端子110とゲート端子112の各リード線との接続部を覆うようにキャップ119が設けられ、内部に窒素ガスを封入した状態で支持体125に溶接されている。キャップ119の外面には温度センサ18が設けられている。

【0056】

本実施例のインバータ装置を動作させるときは、動作開始前にあらかじめヒーター127に通電してすべてのスイッチングモジュール100a、100bの温度を約 200°C に上昇させる。各スイッチングモジュール100a、100bの温度は前記第1実施例において説明した方法でそれぞれの制御回路93で検出され、所定値に保たれるように制御される。

本実施例のインバータ装置の動作例について以下に説明する。各スイッチングモジュール100a、100bの温度を 200°C にし、直流電源91の直流電圧を 3kV 、スイッチングモジュール100a、100bのスイッチング周波数を 2kHz としてインバータ装置90を動作させる。この動作で 150A の交流出力電流を負荷92に供給しているとき各スイッチングモジュール100a、100bで発生する損失は 4.2W であり、比較的低い値であった。インバータ装置90の効率率は約 98.6% であり比較的高効率を実現できた。本実施例のインバータを構成する各スイッチングモジュール100a、100bの可制御電流は 150A 、可制御電流密度は $250\text{A}/\text{cm}^2$ であり大きな値が得られた。制御電流は 150A 、可制御電流密度は $250\text{A}/\text{cm}^2$ 以上で高温で稼働させるので積層欠陥の影響に起因するオン電圧の上昇は起こらず、オン電圧の上昇による損失の増大が避けられるとともに高い信頼性が得られることが確認できた。

【 0 0 5 7 】

【0057】
以上、本発明の5つの実施例についてを説明したが、本発明はさらに多くの適用範囲あ
るいは派生構造をカバーするものである。

るいは派生構造をカバーするものである。
例えば半導体素子では、自励型サイリスタであるゲート制御信号によりオン・オフの制御ができるサイリスタであり、ゲートターンオフサイリスタ (GTOサイリスタ) や静電誘導サイリスタ、MOSサイリスタ、静電誘導サイリスタ、双向GTOサイリスタ、逆導通サイリスタ、MOSゲートGTOサイリスタ等でもよい。p n接合を有するp nダイオードやマージドダイオードなど複合ダイオードでもよい。
半導体材料としてSiC又はGaNを用いた半導体材料

また前記の各実施例ではワイドギャップ半導体材料としてSiC又はGa₂Nを用いた半導体素子について述べたが、本発明はダイヤモンド、ガリウムリン、ボロンナイトライドなどの他のワイドギャップ半導体材料を用いた半導体素子にも有効に適用できる。

また、各半導体素子において、 n 型領域を p 型領域に、 p 型領域を n 型領域に置き変えた逆極性の半導体素子に対しても本発明の構成を適用できる。

【0058】

【0058】
半導体素子の温度を上昇させる発熱手段のヒーターとして、ニクロム線等の金属抵抗体をシリコンゴムで被覆したヒーターを用いたが、例えば2枚のマイカやセラミックス板の間にヒーター発熱体を配置し圧接プレスで成形した面状ヒーターでもよい。またセラミックスヒーターやカートリッジヒーター等の他の素材のヒーター、赤外線ランプ及び遠赤外線ヒーターやカートリッジヒーター等の他の素材のヒーター、赤外線ランプ及び遠赤外線ヒーターなどの輻射型の加熱手段を用いてもよい。さらに他の方法として、ヒータリング等が熱風を半導体装置に吹き付ける方法、半導体装置の金属支持体15や金属キャップ14を高周波誘導加熱装置で誘導加熱するような方法でもよい。前記の加熱手段の代わりに半導体素子の自己発熱を利用してもよい。この場合3つの電極を有する半導体素子の場合、アノード電極とベース電極間に通電する方法、アノード電極とカソード電極間に通電する方法のいずれでもよい。

【0059】

【0059】
前記各実施例では、半導体装置のパッケージに金属キャップを用いたT O型のパッケージを示しているが、高耐熱樹脂のキャップを用いても良い。また各半導体装置の構成はT O型でなく、スタッド型や平型、高耐熱樹脂を用いたS I P型など、S iのパワーモジュールで一般に用いられるモールド型の構成でもよい。キャリア寿命の制御法としては電子線の照射以外に γ 線の照射やプロトンヘリウムイオンなど荷電粒子を照射してもよい。前記実施例では、3相インバータ装置を示したが、マトリックスインバータやD C D Cコンバータ等の他の電力変換装置でも良い。また、インバータやコンバータ以外にスイッチング電源や整流装置、レギュレータ、高周波発信装置等の他の電力変換装置でも良い。

【産業上の利用可能性】

【0060】

【0060】
本発明は、可制御電流が大きくかつ低損失で、高い電圧においても信頼性が高い半導体装置を実現するものであり、大電流高電圧を扱う電力用途に幅広く利用できる。

【図面の簡単な説明】

【0061】

【図1】本発明の第1実施例のワイドギャップpnダイオード装置の断面図

【図2】本発明の第2実施例のワイドギャップGTOサイリスタ装置に用いる

【図2】本発明の第2実施例のワイドギャップGTOサイリスタ装置の断面図
【図3】本発明の第2実施例のワイドギャップGTOサイリスタ装置に用いるGTOサイリスタ素子の図2の紙面に直交する面の断面図

【図４】本発明の第３実施例の光結合ワイドギャップ半導体装置の断面図

【図 4】本発明の第 3 実施例の光結合ワイドキャットレンズ装置の断面図

【図5】本発明の第4実施例のSiC-IPNダイオード装置の断面図

構成した3相インバータ装置の回路図

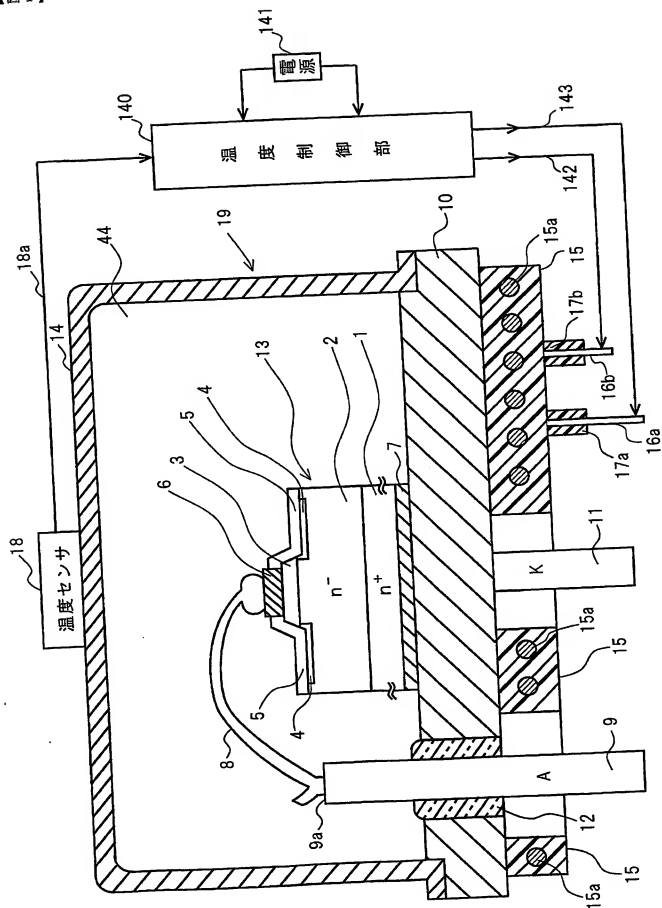
の断面図

【符号の説明】

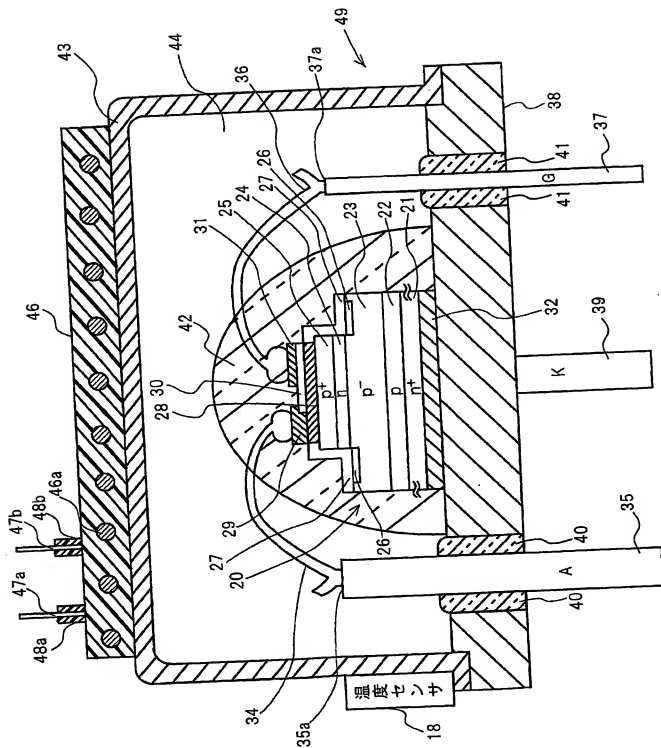
【0062】

- 1 カソード領域
- 2 ドリフト層
- 3 アノード領域
- 4 電界緩和領域
- 5、表面保護膜
- 6、アノード電極
- 7、カソード電極
- 8、リード線
- 9、11 リードピン
- 10、38、67、125 支持体
- 12 絶縁ガラス
- 13、pnダイオード素子
- 14、金属キャップ
- 15、46、85、127 ヒーター
- 18、温度センサ
- 21 カソード領域
- 22 バッファ領域
- 24 ベース領域
- 25 アノード領域
- 27 表面保護膜
- 28 アノード電極
- 31 ゲート電極
- 32 カソード電極
- 42 合成高分子化合物
- 51 GaNGTOサイリスタ
- 52 SiCホトダイオード
- 53 カソード領域
- 54 ゲート領域
- 55 アノード領域
- 57 表面保護膜
- 60 発光窓
- 80 受光部
- 88 ヒートシンク
- 90 インバータ装置
- 98 ファン
- 100a、100b スイッチングモジュール

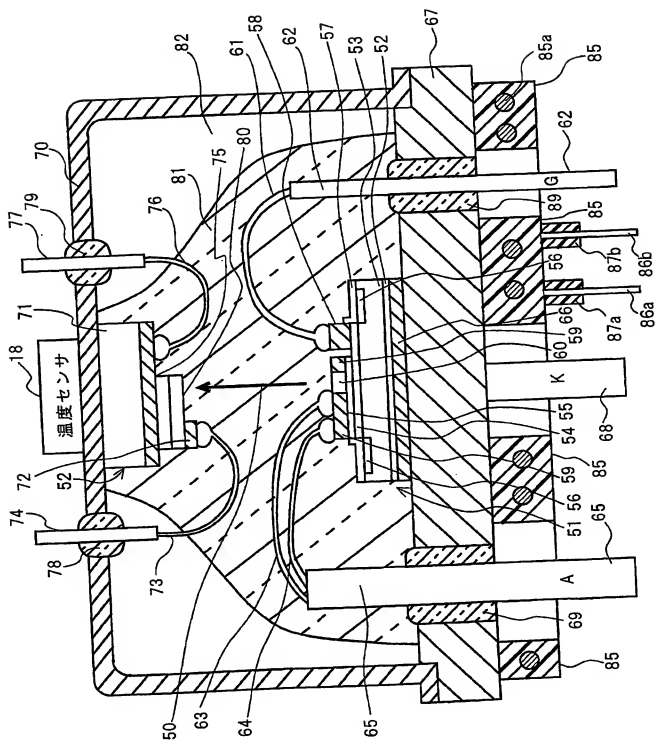
【書類名】 図面
【図1】



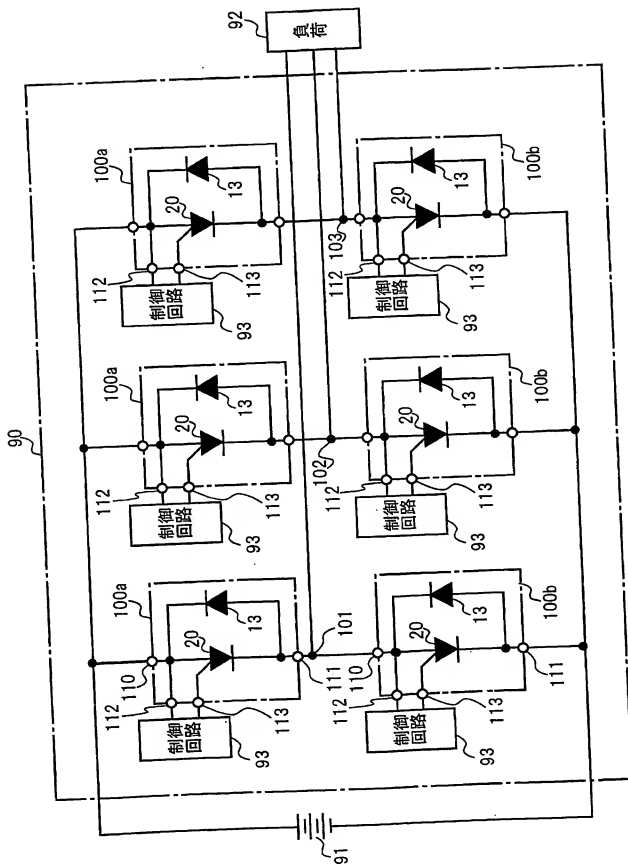
【圖 2】



【図4】



【図6】



【書類名】要約書

【要約】

【課題】 可制御電流が大きく、低損失のパワー半導体装置を得ること。

【解決手段】 ワイドギャップ半導体を用いるバイポーラ半導体素子の温度を、ヒーターなどの加熱手段を用いて上昇させる。その温度は、ワイドギャップバイポーラ半導体素子の、温度の上昇に応じて低下するビルトイン電圧の低下量に対応する前記ワイドギャップバイポーラ半導体素子の定常損失の減少量が、前記温度の上昇に応じて増加するオン抵抗の増加量に対応する前記定常損失の増加量よりも大きくなる温度を超える温度にする。

【選択図】 図 1

特願 2003-299219

出願人履歴情報

識別番号

[000156938]

1. 変更年月日

1990年 8月10日

[変更理由]

新規登録

住 所

大阪府大阪市北区中之島3丁目3番22号

氏 名

関西電力株式会社